

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06069913 A**(43) Date of publication of application: **11 . 03 . 94**

(51) Int. Cl

H04L 7/00**H04L 12/56****H04L 13/08**(21) Application number: **05035998**(22) Date of filing: **25 . 02 . 93**(30) Priority: **18 . 06 . 92 JP 04158366**(71) Applicant: **FUJITSU LTD**(72) Inventor: **NAKAMURA NORIKAZU
CHIN SEIGEN**(54) **CLOCK TRANSFER CIRCUIT**

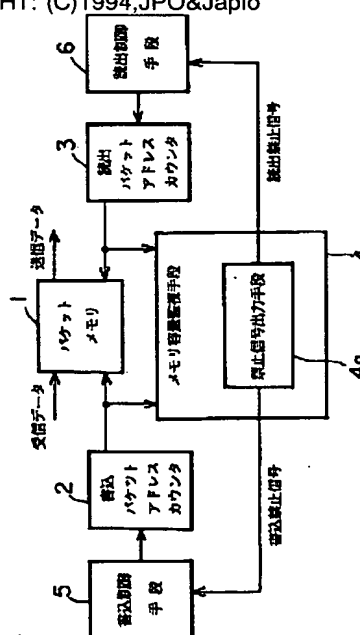
memory 1.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To surely implement data write and read accurately by always counting correctly number of valid packets with respect to the circuit converting reception data of fixed length packet configuration received synchronously with a reception clock into transmission data synchronously with a transmission clock signal having a different phase with that of the reception clock signal.

CONSTITUTION: A difference between an address of a write packet counted by a write packet address counter 2 and a read packet address counted by a read packet address counter 3 is obtained every time each packet address changes, and the difference is used for an effective packet number, that is, a packet number of data not read yet among data stored in a packet memory 1. Furthermore, Moreover, when the difference is 0, an inhibit signal output means 4a outputs a signal inhibiting read of transmission data by the packet memory 1 and when the difference is a 2nd prescribed number on the other hand, the means 4a outputs a signal inhibiting write of the reception data to the packet



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 6 9 9 1 3

(43) 公開日 平成 6 年 (1 9 9 4) 3 月 1 1 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H04L 7/00		A 7928-5K		
		G 7928-5K		
12/56				
13/08		8020-5K		
		8529-5K		
			H04L 11/20	102 B
			審査請求	未請求 請求項の数 1 2 (全 1 3 頁)

(21) 出願番号 特願平 5 - 3 5 9 9 8

(22) 出願日 平成 5 年 (1 9 9 3) 2 月 2 5 日

(31) 優先権主張番号 特願平 4 - 1 5 8 3 6 6

(32) 優先日 平 4 (1 9 9 2) 6 月 1 8 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 5 2 2 3
富士通株式会社
神奈川県川崎市中原区上小田中 1 0 1 5 番地

(72) 発明者 中村 則和
栃木県小山市城東 3 丁目 2 8 番 1 号 富士通デジタル・テクノロジー株式会社内

(72) 発明者 陳 清厳
栃木県小山市城東 3 丁目 2 8 番 1 号 富士通デジタル・テクノロジー株式会社内

(74) 代理人 弁理士 服部 毅蔵

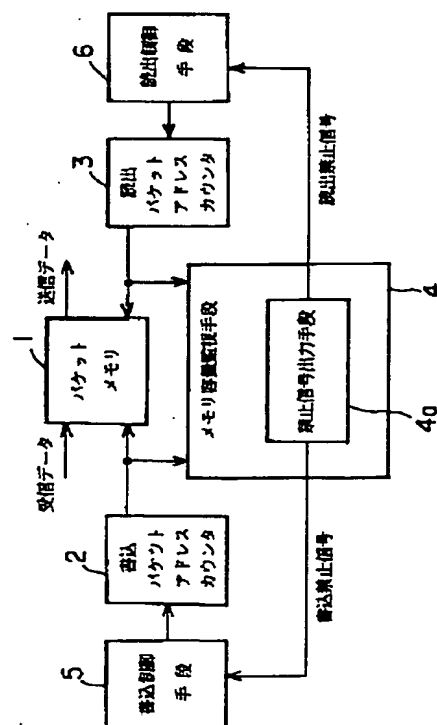
(54) 【発明の名称】 クロック乗換回路

(57) 【要約】

【目的】 受信クロックに同期して入力する固定長パケット構成の受信データを、受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路に関し、有効パケット数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことを可能にすることを目的とする。

【構成】 メモリ容量監視手段 4 は、番込パケットアドレスカウンタ 2 でカウントされた番込パケットアドレスの数値と、読出パケットアドレスカウンタ 3 でカウントされた読出パケットアドレスの数値との差を、各パケットアドレスが変化する度に求め、この差を有効パケット数、即ちパケットメモリ 1 が保持するデータのうちの未だ読み出されていないデータのパケット数、とする。また、禁止信号出力手段 4 a は、前記差が 0 であれば、パケットメモリ 1 による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第 2 の所定数であれば、パケットメモリ 1 による受信データの書き込みを禁止する番込禁止信号を出力する。

本発明の原理図



1

【特許請求の範囲】

【請求項 1】 受信クロックに同期して入力する固定長パケット構成の受信データを、前記受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路において、

第 1 の所定数のパケット分の記憶容量を持ち、書込クロックに同期して受信データを書き込み、かつ、前記書き込まれた受信データを読出クロックに同期して読み出して送信データとして出力するパケットメモリ (1) と、1 パケット分のデータを前記パケットメモリ (1) に書き込む毎に 1 ずつカウントアップして前記第 1 の所定数に達すると 0 に循環し、前記パケットメモリ (1) への書込アドレスをパケット単位で指定する書込パケットアドレスカウンタ (2) と、

1 パケット分のデータを前記パケットメモリ (1) から読み出す毎に 1 ずつカウントアップして前記第 1 の所定数に達すると 0 に循環し、前記パケットメモリ (1) からの読出アドレスをパケット単位で指定する読出パケットアドレスカウンタ (3) と、

前記書込パケットアドレスカウンタ (2) でカウントされた書込パケットアドレスの数値と、前記読出パケットアドレスカウンタ (3) でカウントされた読出パケットアドレスの数値との差を求め、前記差を、前記パケットメモリ (1) が保持するデータのうちの未だ読み出されていないデータのバケット数であるとするメモリ容量監視手段 (4) と、

を有することを特徴とするクロック乗換回路。

【請求項 2】 前記メモリ容量監視手段 (4) は、前記差が 0 であれば、前記パケットメモリ (1) による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第 2 の所定数であれば、前記パケットメモリ (1) による受信データの書き込みを禁止する書込禁止信号を出力する禁止信号出力手段 (4 a) を有することを特徴とする請求項 1 記載のクロック乗換回路。

【請求項 3】 前記第 2 の所定数は、前記第 1 の所定数より 1 だけ小さい数であることを特徴とする請求項 2 記載のクロック乗換回路。

【請求項 4】 前記パケットメモリ (1) による受信データの書き込みを制御する書込制御手段 (5) と、前記パケットメモリ (1) による送信データの読み出しを制御する読出制御手段 (6) とを更に有し、前記読出禁止信号および書込禁止信号は、前記読出制御手段 (6) および書込制御手段 (5) にそれぞれ出力されるように構成したことを特徴とする請求項 2 記載のクロック乗換回路。

【請求項 5】 前記メモリ容量監視手段 (4) は、前記書込パケットアドレスカウンタ (2) でカウントされた書込パケットアドレスの数値を読出クロックでリタイミングして出力する第 1 のリタイミング手段と、前記第 1 のリタイミング手段からの出力と前記読出パケットアド

2

レスカウンタ (3) でカウントされた読出パケットアドレスの数値との差を求める第 1 の減算手段と、前記書込禁止信号を書込クロックでリタイミングして出力する第 2 のリタイミング手段とを、更に有することを特徴とする請求項 2 記載のクロック乗換回路。

【請求項 6】 前記第 1 のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に前記書込パケットアドレスの数値を出力することを特徴とする請求項 5 記載のクロック乗換回路。

【請求項 7】 前記第 1 のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第 1 のタイミング信号を発生する第 1 タイミング信号発生手段と、前記第 1 タイミング信号発生手段からの第 1 のタイミング信号で前記書込パケットアドレスの数値を選択し出力する第 1 の選択手段と、前記第 1 の選択手段からの出力を読出クロックでラッチする第 1 のラッチ手段とを有することを特徴とする請求項 6 記載のクロック乗換回路。

【請求項 8】 前記第 1 のリタイミング手段は、前記書込パケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第 1 のタイミング信号を発生する第 1 タイミング信号発生手段と、前記第 1 タイミング信号発生手段からの第 1 のタイミング信号で前記書込パケットアドレスの数値をラッチする第 2 のラッチ手段とを有することを特徴とする請求項 6 記載のクロック乗換回路。

【請求項 9】 前記メモリ容量監視手段 (4) は、前記読出パケットアドレスカウンタ (3) でカウントされた読出パケットアドレスの数値を書込クロックでリタイミングして出力する第 3 のリタイミング手段と、前記第 3 のリタイミング手段からの出力と前記書込パケットアドレスカウンタ (2) でカウントされた書込パケットアドレスの数値との差を求める第 2 の減算手段と、前記読出禁止信号を読出クロックでリタイミングして出力する第 4 のリタイミング手段とを、更に有することを特徴とする請求項 2 記載のクロック乗換回路。

【請求項 10】 前記第 3 のリタイミング手段は、前記読出パケットアドレスの数値の最下位ビットの変化後の所定数の書込クロック発生時に前記読出パケットアドレスの数値を出力することを特徴とする請求項 9 記載のクロック乗換回路。

【請求項 11】 前記第 3 のリタイミング手段は、前記読出パケットアドレスの数値の最下位ビットの変化後の所定数の書込クロック発生時に第 2 のタイミング信号を発生する第 2 タイミング信号発生手段と、前記第 2 タイミング信号発生手段からの第 2 のタイミング信号で前記読出パケットアドレスの数値を選択し出力する第 2 の選択手段と、前記第 2 の選択手段からの出力を書込クロックでラッチする第 3 のラッチ手段とを有することを特徴

10

20

30

40

50

とする請求項 10 記載のクロック乗換回路。

【請求項 12】 前記第 3 のリタイミング手段は、前記読出バケットアドレスの数値の最下位ビットの変化後の所定数の読出クロック発生時に第 2 のタイミング信号を発生する第 2 タイミング信号発生手段と、前記第 2 タイミング信号発生手段からの第 2 のタイミング信号で前記読出バケットアドレスの数値をラッチする第 4 のラッチ手段とを有することを特徴とする請求項 10 記載のクロック乗換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はディジタル通信装置等を使用されるクロック乗換回路に関し、特に受信クロックに同期して入力する固定長バケット構成の受信データを、前記受信クロックと位相の異なる送信クロックに同期する送信データに変換するクロック乗換回路に関する。

【0002】ディジタル通信装置等では、受信クロックと送信クロックとが同期しない場合に、クロック乗換が行われる。すなわち、受信クロックに同期して入力する固定長バケット構成をとる受信データを、受信クロックと周波数が同じで位相が同じとは限らない送信クロックに同期させて送出することが行われる。

【0003】このためには、書き込みと読み出しとが独立して行える F I F O (first-in first-out) 方式のデュアルポートメモリが用いられる。

【0004】

【従来の技術】従来のクロック乗換回路を図 9 を参照して説明する。図 9 は従来のクロック乗換回路の構成を示すブロック図である。クロック乗換回路は、バケットメモリ 110、書込アドレスカウンタ 120、書込制御部 130、読出アドレスカウンタ 140、読出制御部 150、およびバケット数監視部 160 から成る。

【0005】バケットメモリ 110 は、同時に書き込みと読み出しとが可能なデュアルポート RAM で構成され、a ビット並列でデータの入出力が行われ、m ワードから成るデータバケットを n バケット分記憶できる容量を有する。バケットメモリ 110 では、データが 1 ワードずつ、受信クロックに同期した書込クロック WCLK のタイミングで書き込まれ、送信クロックに同期した読出クロック RCLK のタイミングで読み出される。

【0006】バケット先頭パルス WCTP、RCTP は、それぞれ書込データおよび読出データの各バケットの先頭位置を示すタイミングパルスであり、バケットイネーブル信号 WCE N、RCE N は、それぞれバケットメモリ 110 へデータ書き込みおよびバケットメモリ 110 からデータ読み出し用イネーブル信号である。これらの信号は後述する書込制御部 130、読出制御部 150 から出力されるものである。

【0007】書込アドレスカウンタ 120 は、書込ワー

ドアドレスカウンタ 121 と、書込バケットアドレスカウンタ 122 とからなり、両方の出力がバケットメモリ 110 の書込アドレスデータとなる。書込ワードアドレスカウンタ 121 には、書込クロック WCLK とバケット先頭パルス WCTP とバケットイネーブル信号 WCE N とが入力するようになっており、書込ワードアドレスカウンタ 121 はバケットイネーブル信号 WCE N の入力で作動状態となり、バケット先頭パルス WCTP の入力タイミングで、書込クロック WCLK が入力する度に 1 ずつインクリメントし、その計数値を書込アドレスデータの例えば 8 ビットの書込アドレスに対し、上位 3 ビットの書込ワードアドレスカウンタとして出力する。つまり、各バケット内でのワードの書込アドレスを生成する。

【0008】書込バケットアドレスカウンタ 122 はバケット単位の書込アドレスを発生するものである。すなわち、書込バケットアドレスカウンタ 122 には、バケット先頭パルス WCTP とバケットイネーブル信号 WCE N とが入力するようになっており、バケットイネーブル信号 WCE N がディセーブル (“L” レベル) となっているときに、入力するバケット先頭パルス WCTP の入力でリセットされ、WCLK が入力する度に 1 ずつインクリメントし、その計数値を書込アドレスデータの例えば 8 ビットの書込アドレスに対し、下位ビットの書込バケットアドレスカウンタとして出力する。

【0009】読出アドレスカウンタ 140 は、読出ワードアドレスカウンタ 141 と、読出バケットアドレスカウンタ 142 とからなり、両方の出力がバケットメモリ 110 の読出アドレスデータとなる。読出ワードアドレスカウンタ 141 には、読出クロック RCLK とバケット先頭パルス RCTP とバケットイネーブル信号 RCE N とが入力するようになっており、読出ワードアドレスカウンタ 141 はバケットイネーブル信号 RCE N の入力で作動状態となり、バケット先頭パルス RCTP の入力タイミングで、読出クロック RCLK が入力する度に 1 ずつインクリメントし、その計数値を読出アドレスデータの例えば 8 ビットの書込アドレスに対し、上位 3 ビットを読出ワードアドレスカウンタとして出力する。つまり、各バケット内でのワードの読出アドレスを生成する。

【0010】読出バケットアドレスカウンタ 142 はバケット単位の読出アドレスを発生するものである。すなわち、読出バケットアドレスカウンタ 142 には、バケット先頭パルス RCTP とバケットイネーブル信号 RCE N とが入力するようになっており、バケットイネーブル信号 RCE N がディセーブル (“L” レベル) となっているときに、入力するバケット先頭パルス RCTP の入力でリセットされ、WCLK が入力する度に 1 ずつインクリメントし、その計数値を読出アドレスデータの例えば 8 ビットを読出アドレスに対し、下位 5 ビットの書

込パケットアドレスカウンタとして出力する。

【0011】パケット数監視部160は、書込済みのパケット数と読出済みのパケット数との差から有効パケット数を求めて、書き込みや読み出しの制御信号を生成するものであり、アップダウンカウンタ161と信号発生器162とからなる。なお、有効パケット数とは、パケットメモリ110に保持されているパケットデータのうちの未だ読み出されていないパケットデータのバケット数を指す。

【0012】アップダウンカウンタ161には、書込制御部130と読出制御部150とからデータ書込側およびデータ読出側のパケットイネーブル信号WCEN、RCENおよびパケット先頭パルスWCTP、RCTPが入力する。そして、データ書込側のパケットイネーブル信号WCENが“H”レベルのときに入力するパケット先頭パルスWCTPでカウントアップし、データ読出側のパケットイネーブル信号RCENが高レベルのときに入力するパケット先頭パルスRCTPでカウントダウンし、計数値を信号発生器162へ出力する。この計数値は有効パケット数に相当する。

【0013】信号発生器162では、この計数値が0まで減少したとき、読み出すべき新規パケットデータが無いことを示すエンプティ信号EPTを読出制御部150へ出力し、また、計数値がパケットメモリ110の格納可能なパケット数nに達したときには、フル信号FLLを書込制御部130へ出力する。各書込制御部130、読出制御部150ではこれらのフル信号FLL、エンプティ信号EPTに従って、それぞれデータ書き込みやデータ読み出しを禁止して、データ上書きによるデータ消失や同一データの2度読みを防止するようにしている。

【0014】

【発明が解決しようとする課題】しかし、上記従来のクロック乗換回路において、パケット数監視部160のアップダウンカウンタ161にパケット先頭パルスWCTP、RCTPが正常に入力している間は、アップダウンカウンタ161が有効パケット数を正確に出力するが、アップダウンカウンタ161にノイズ等が混入した場合には、実際にはパケットデータの書き込みや読み出しが行われていないにも拘らず、アップダウンカウンタ161の計数値が変化してしまい、有効パケット数を正確に出力しなくなってしまう。このように何らかの原因で、アップダウンカウンタ161の計数値に一度間違いが生じると、パケットメモリ110に未だ書き込めるのに、フル信号FLLが出力されて書き込みが禁止されたり、また、パケットメモリ110にもう書き込めないのに、フル信号FLLが出力されず、引き続いて書き込みが行われて、まだ読み出されていないデータが上書きされてデータが消失してしまうという問題が生じる。さらに、パケットメモリ110に未だ読み出せるデータがあるのに、エンプティ信号EPTが出力されて読み出しが

禁止されたり、また、パケットメモリ110にもう読み出せるデータが無いのに、エンプティ信号EPTが出力されず、引き続いて読み出しが行われて、古いデータを間違って読み出してしまうという問題が生じる。こうした誤動作はパケットメモリ110の計数値をリセットしない限り続くことになる。

【0015】本発明はこのような点に鑑みてなされたものであり、パケットメモリに保持されているパケットデータのうちの未だ読み出されていないパケットデータのバケット数である有効パケット数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことを可能にしたクロック乗換回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明では上記目的を達成するために、図1に示すように、第1の所定数のバケット分の記憶容量を持ち、書込クロックに同期して受信データを書き込み、かつ、前記書き込まれた受信データを読出クロックに同期して読み出して送信データとして出力するパケットメモリ1と、1バケット分のデータをパケットメモリ1に書き込む毎に1ずつカウントアップして第1の所定数に達すると0に循環し、パケットメモリ1への書込アドレスをバケット単位で指定する書込パケットアドレスカウンタ2と、1バケット分のデータをパケットメモリ1から読み出す毎に1ずつカウントアップして第1の所定数に達すると0に循環し、パケットメモリ1からの読出アドレスをバケット単位で指定する読出パケットアドレスカウンタ3と、書込パケットアドレスカウンタ2でカウントされた書込パケットアドレスの数値と、読出パケットアドレスカウンタ3でカウントされた読出パケットアドレスの数値との差を求め、この差を、パケットメモリ1が保持するデータのうちの未だ読み出されていないデータのバケット数であるとするメモリ容量監視手段4と、を有することを特徴とするクロック乗換回路が、提供される。

【0017】また、メモリ容量監視手段4は、前記差が0であれば、パケットメモリ1による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第2の所定数であれば、パケットメモリ1による受信データの書き込みを禁止する書込禁止信号を出力する禁止信号出力手段4aを有する。

【0018】さらに、パケットメモリ1による受信データの書き込みを制御する書込制御手段5と、パケットメモリ1による送信データの読み出しを制御する読出制御手段6とを備え、読出禁止信号および書込禁止信号は、読出制御手段6および書込制御手段5にそれぞれ出力される。

【0019】

【作用】以上の構成により、図1において、メモリ容量監視手段4は、書込パケットアドレスカウンタ2でカウ

7

ントされた書込バケットアドレスの数値と、読出バケットアドレスカウンタ 3 でカウントされた読出バケットアドレスの数値との差を、各バケットアドレスが変化する度に求め、この差を有効バケット数、即ちバケットメモリ 1 が保持するデータのうちの未だ読み出されていないデータのバケット数、とする。

【0020】これにより、譬えノイズ等がメモリ容量監視手段 4 に混入しても、次の書込または読出バケットアドレスの変化時には有効バケット数は修正され、間違った有効バケット数がリセットまで出力され続けることはない。

【0021】また、禁止信号出力手段 4 a は、前記差が 0 であれば、バケットメモリ 1 による送信データの読み出しを禁止する読出禁止信号を出力し、一方、前記差が第 2 の所定数であれば、バケットメモリ 1 による受信データの書き込みを禁止する書込禁止信号を出力する。

【0022】これらの読出禁止信号および書込禁止信号は、読出制御手段 6 および書込制御手段 5 にそれぞれ出力され、読出制御手段 6 は、読出禁止信号の入力に基づき、バケットメモリ 1 による受信データの書き込みを禁止し、また書込制御手段 5 は、バケットメモリ 1 による送信データの読み出しを禁止する。これにより、データ上書きによるデータ消失や同一データの 2 度読みを防止する。

【0023】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図 2 は本発明の実施例のクロック乗換回路の全体構成を示すブロック図である。図中、バケットメモリ 1 0、書込アドレスカウンタ 2 0、書込制御部 3 0、読出アドレスカウンタ 4 0、および読出制御部 5 0 は、図 9 で既に説明したバケットメモリ 1 1 0、書込アドレスカウンタ 1 2 0、書込制御部 1 3 0、読出アドレスカウンタ 1 4 0、および読出制御部 1 5 0 とそれぞれ同一の構成になっている。また、書込アドレスカウンタ 2 0 内の書込ワードアドレスカウンタ 2 1 および書込バケットアドレスカウンタ 2 2、並びに読出アドレスカウンタ 4 0 内の読出ワードアドレスカウンタ 4 1 および読出バケットアドレスカウンタ 4 2 も、図 9 の書込ワードアドレスカウンタ 1 2 1 および書込バケットアドレスカウンタ 1 2 2、並びに読出ワードアドレスカウンタ 1 4 1 および読出バケットアドレスカウンタ 1 4 2 とそれぞれ同一の構成になっている。したがって、これらについての説明は省略する。なお、以下の実施例では、バケットメモリ 1 0 が、27 ワードから成るデータバケットを 8 バケット分記憶できる容量を有するものとして説明する。

【0024】本実施例のメモリ容量監視部 6 0 には、書込バケットアドレスカウンタ 2 2 および読出バケットアドレスカウンタ 4 2 から、3 ビット構成の書込バケットアドレス W P A および読出バケットアドレス R P A が入力され、いずれか一方のバケットアドレスが変化する都

8

度、書込バケットアドレス W P A の値と読出バケットアドレス R P A の値との差が計算され、この差が有効バケット数としてフル信号 F L L やエンプティ信号 E P T の出力に使用される。

【0025】すなわち、書込バケットアドレスカウンタ 2 2 は、1 バケット分の受信データをバケットメモリ 1 0 に書き込む毎に 1 ずつカウントアップして、例えば値 8 に達すると値 0 に循環するもので、バケットメモリ 1 0 への書込アドレスをバケット単位で指定するものである。また、読出バケットアドレスカウンタ 4 2 は、1 バケット分の送信データをバケットメモリ 1 0 から読み出す毎に 1 ずつカウントアップして、例えば値 8 に達すると値 0 に循環するもので、バケットメモリ 1 0 からの読出アドレスをバケット単位で指定するものである。したがって、書込バケットアドレス W P A の値と読出バケットアドレス R P A の値との差が有効バケット数に相当する、ということに着目してメモリ容量監視部 6 0 は構成されている。

【0026】図 3 は、書込バケットアドレス W P A の値や読出バケットアドレス R P A の値と、フル信号 F L L やエンプティ信号 E P T との関係を示す図であり、

(A) は通常動作時、(B) はエンプティ信号 E P T 検出時、(C) はフル信号 F L L 検出時の関係タイムチャートである。書込バケットアドレス W P A および読出バケットアドレス R P A が変化したときに、それらの値の差 (容量) が算出され、この容量が 0 ならばエンプティ信号 E P T が出力され、容量が 7 ならばフル信号 F L L が出力される。なお、容量が、8 ではなく、7 でフル信号 F L L を出力するようにして、バケットメモリ 1 0 への上書きを安定して防止できるようにしている。

【0027】なお、バケットメモリ 1 0 に対する書き込みおよび読み出しは、非同期で行われるので、両側のバケットアドレスカウンタの出力値の差を求めるには、いずれか一方のクロックに両者を合わせた上で減算を行う必要がある。

【0028】このメモリ容量監視部 6 0 の具体的な構成について、以下、4 つの回路例を基に説明する。図 4 は、メモリ容量監視部 6 0 の第 1 回路例を示す回路ブロック図である。第 1 回路例は、書込クロック W C L K に読出バケットアドレス R P A を同期させる方法をとっている。以下、第 1 回路例の回路各部の信号を示す図 5 を適宜引用しながら説明する。

【0029】まず、読出バケットアドレス R P A の最下位ビットの値 R P A o (図 5 (D)) をイネーブル信号生成回路 6 1 へ取り込む。最下位ビット値 R P A o は、読出バケットアドレス R P A が変化する度に 0、1 交替をする信号である。

【0030】イネーブル信号生成回路 6 1 は、b ビットシフトレジスタ 6 1 a と、フリップフロップ 6 1 b と、E x - O R 6 1 c とからなり、この b ビットシフトレジ

スタ 6 1 a が、最下位ビット値 R P A o を、書込クロック W C L K [図 5 (A)] で b パルス分だけシフトしながら取り込み、フリップフロップ 6 1 b と E x - O R 6 1 c とがイネーブル信号 [図 5 (E)] を生成する。図 5 (E) におけるイネーブル信号の立ち上がりタイミングは、書込クロック W C L K に同期するとともに、b ビットシフトレジスタ 6 1 a で設定された書込クロック W C L K の b パルス分だけ、最下位ビット値 R P A o の立ち上がり時より遅れている。b ビットシフトレジスタ 6 1 a の b ビットは最大 2 7 ビットまでの範囲で任意に設定可能であり、この b ビットの設定によって、読み込みのタイミングを調整できる。

[0 0 3 1] ラッチ回路 6 2 は、セクタ 6 2 a と、フリップフロップ 6 2 b とから成り、セクタ 6 2 a の一方の入力には 3 ビットの読出バケットアドレス R P A [図 5 (C)] が入力し、他方の入力にはフリップフロップ 6 2 b の出力が還流する。図 5 (C) に示す各ブロックは、2 7 ワードからなる 1 バケット分を示しており、ブロック内の数字は 1 0 進表示の読出バケットアドレス R P A の値である。

[0 0 3 2] セクタ 6 2 a は、イネーブル信号生成回路 6 1 から “H” レベルのイネーブル信号が入力されない間は、フリップフロップ 6 2 b からの還流出力を選択的に取り込み、一方、イネーブル信号が入力されると読出バケットアドレス R P A を選択的に取り込み、それぞれフリップフロップ 6 2 b へ出力する。フリップフロップ 6 2 b は、その出力を書込クロック W C L K のタイミングでラッチして出力する。したがって、ラッチ回路 6 2 の出力は図 5 (F) のようになる。

[0 0 3 3] 減算器 6 3 には、ラッチ回路 6 2 の出力と、書込バケットアドレス W P A [図 5 (B)] とが入力し、両者の差 [図 5 (G)] が算出される。この算出された差が E P T 検出部 6 4 および F L L 検出部 6 5 へ出力され、E P T 検出部 6 4 では、上記差が 0 のとき出力信号を出し、これがフリップフロップ 6 6 で書込クロック W C L K のタイミングでラッチされ、一方、F L L 検出部 6 5 では、上記差が 7 のとき出力信号を出し、これがフリップフロップ 6 8 で書込クロック W C L K のタイミングでラッチされる。

[0 0 3 4] フリップフロップ 6 8 の出力はそのままフル信号 F L L として出力され、書込制御部 3 0 へ送られる。しかし、フリップフロップ 6 6 の出力 [図 5

(H)] は、書込クロック W C L K に同期されているため、読出クロック R C L K に乗り換えるためのクロック乗換回路 6 7 を経てエンプティ信号 E P T [図 5

(I)] として読出制御部 5 0 へ出力される。クロック乗換回路 6 7 は読出クロック R C L K のタイミングでラッチする 2 つのフリップフロップ 6 7 a、6 7 b からなり、フリップフロップを 2 つ備えることで確実なクロック乗換を行なっている。なお、図 5 はエンプティ信号 E

P T が発生される場合を例にして図示を行なっている。

[0 0 3 5] つぎに、メモリ容量監視部 6 0 の第 2 回路例を説明する。図 6 は、メモリ容量監視部 6 0 の第 2 回路例を示す回路ブロック図である。第 2 回路例は、読出クロック R C L K に書込バケットアドレス W P A を同期させる方法をとっている。第 2 回路例、図 4 の第 1 回路例と大半は同じであるので、同一構成には同一番号を付し、以下では異なる部分のみを説明する。

[0 0 3 6] イネーブル信号生成回路 6 1 には、書込バケットアドレス W P A の最下位ビット値 W P A o が入力し、タイミングクロックとして読出クロック R C L K が入力する。また、ラッチ回路 6 2 には書込バケットアドレス W P A が入力する。

[0 0 3 7] 減算器 6 3 には、書込バケットアドレス W P A と、ラッチ回路 6 2 の出力とが入力する。また、エンプティ信号 E P T はクロック乗換回路を経ずに出力され、一方、フル信号 F L L は書込クロック W C L K に乗り換えるためのクロック乗換部 6 9 を経て出力される。

[0 0 3 8] そして、第 2 回路例の動作は、第 1 回路例の動作において、読出バケットアドレス R P A が書込バケットアドレス W P A に代わり、書込クロック W C L K が読出クロック R C L K に代わっただけの動作となる。

[0 0 3 9] つぎに、メモリ容量監視部 6 0 の第 3 回路例を説明する。図 7 は、メモリ容量監視部 6 0 の第 3 回路例を示す回路ブロック図である。第 3 回路例は、書込クロック W C L K に読出バケットアドレス R P A を同期させる方法をとっている。第 3 回路例も第 1 回路例と類似するため、第 3 回路例において、図 4 の第 1 回路例と同一構成には同一番号を付し、以下では異なる部分のみを説明する。なお、第 3 回路例の回路各部の信号を示す図 8 を適宜引用しながら説明する。

[0 0 4 0] まず、読出バケットアドレス R P A の最下位ビットの値 R P A o [図 8 (C)] をイネーブル信号生成回路 7 0 へ取り込む。イネーブル信号生成回路 7 0 は、c ビットシフトレジスタ 7 0 a と、E x - O R 7 0 b とからなり、c ビットシフトレジスタ 7 0 a が、最下位ビット値 R P A o を、書込クロック W C L K で c パルス分だけシフトしながら取り込み、E x - O R 7 0 b とともにイネーブル信号 [図 8 (D)] を生成する。図 8 (D) におけるイネーブル信号の立ち上がりタイミングは、書込クロック W C L K に同期するとともに、イネーブル信号のパルス幅は c ビットシフトレジスタ 7 0 a で設定される c ビットに応じて決まる。

[0 0 4 1] ラッチ回路 7 1 は、フリップフロップから成り、イネーブル信号生成回路 7 0 から “H” レベルのイネーブル信号が入力されるタイミングで読出バケットアドレス R P A をラッチして出力する [図 8 (E)] 。

[0 0 4 2] 減算器 6 3 以降の構成および動作は図 4 の第 1 回路例と同一である。最後に、メモリ容量監視部 6 0 の第 4 回路例を説明する。第 4 回路例は、第 3 回路例

11

において、読出クロック RCLK に書込バケットアドレス WPA を同期させる方法をとったものである。すなわち、第 3 回路例に第 2 回路例の変更部分を組み合わせて第 4 回路例が構成されるので、第 4 回路例の詳しい説明は省略する。

【0043】なお、以上の実施例では、バケットメモリ 10 が、27 ワードから成るデータバケットを 8 バケット分記憶できる容量を有するものとして説明したが、本発明はこれに限定されるものではなく、任意のワード数、バケット数に対し適用可能である。

【0044】

【発明の効果】以上説明したように本発明では、書込バケットアドレスカウンタでカウントされた書込バケットアドレスの数値と、読出バケットアドレスカウンタでカウントされた読出バケットアドレスの数値との差を求め、この差を有効バケット数、即ちバケットメモリが保持するデータのうちの未だ読み出されていないデータのバケット数、とする。これにより、譬えノイズ等がメモリ容量監視手段に混入しても、次の書込または読出バケットアドレスの変化時には有効バケット数は修正され、間違った有効バケット数がリセットまで出力され続けることはない。つまり、有効バケット数を常に正しく計数して、データの書き込みおよび読み出しを正確に行うことが可能となる。

【図面の簡単な説明】

【図 1】本発明の原理説明図である。

12

【図 2】本発明の実施例のクロック乗換回路の全体構成を示すブロック図である。

【図 3】書込バケットアドレス WPA の値や読出バケットアドレス RPA の値と、フル信号 FLL やエンプティ信号 EPT との関係を示す図である。

【図 4】メモリ容量監視部の第 1 回路例を示す回路ブロック図である。

【図 5】第 1 回路例の回路各部の信号を示すタイムチャートである。

10 【図 6】メモリ容量監視部の第 2 回路例を示す回路ブロック図である。

【図 7】メモリ容量監視部の第 3 回路例を示す回路ブロック図である。

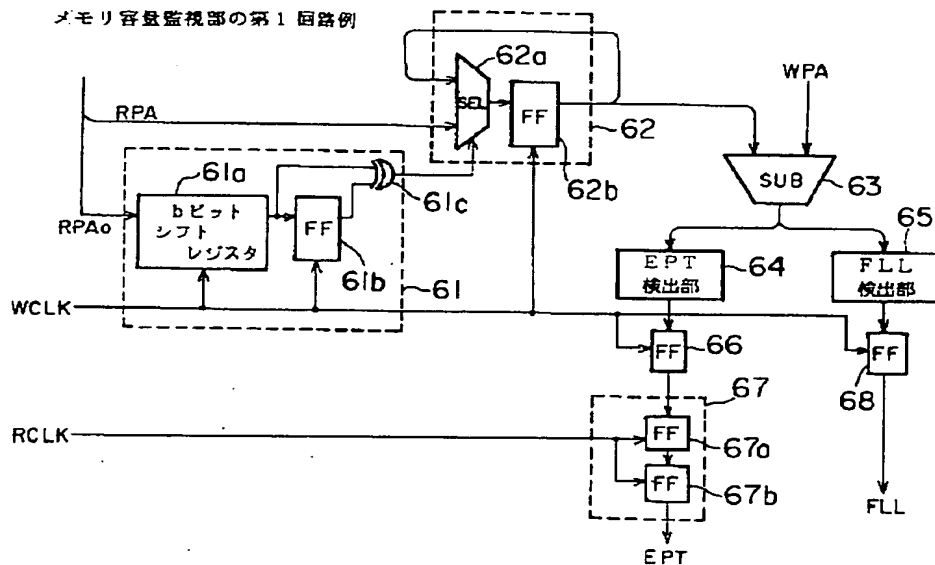
【図 8】第 3 回路例の回路各部の信号を示すタイムチャートである。

【図 9】従来のクロック乗換回路の全体構成を示すブロック図である。

【符号の説明】

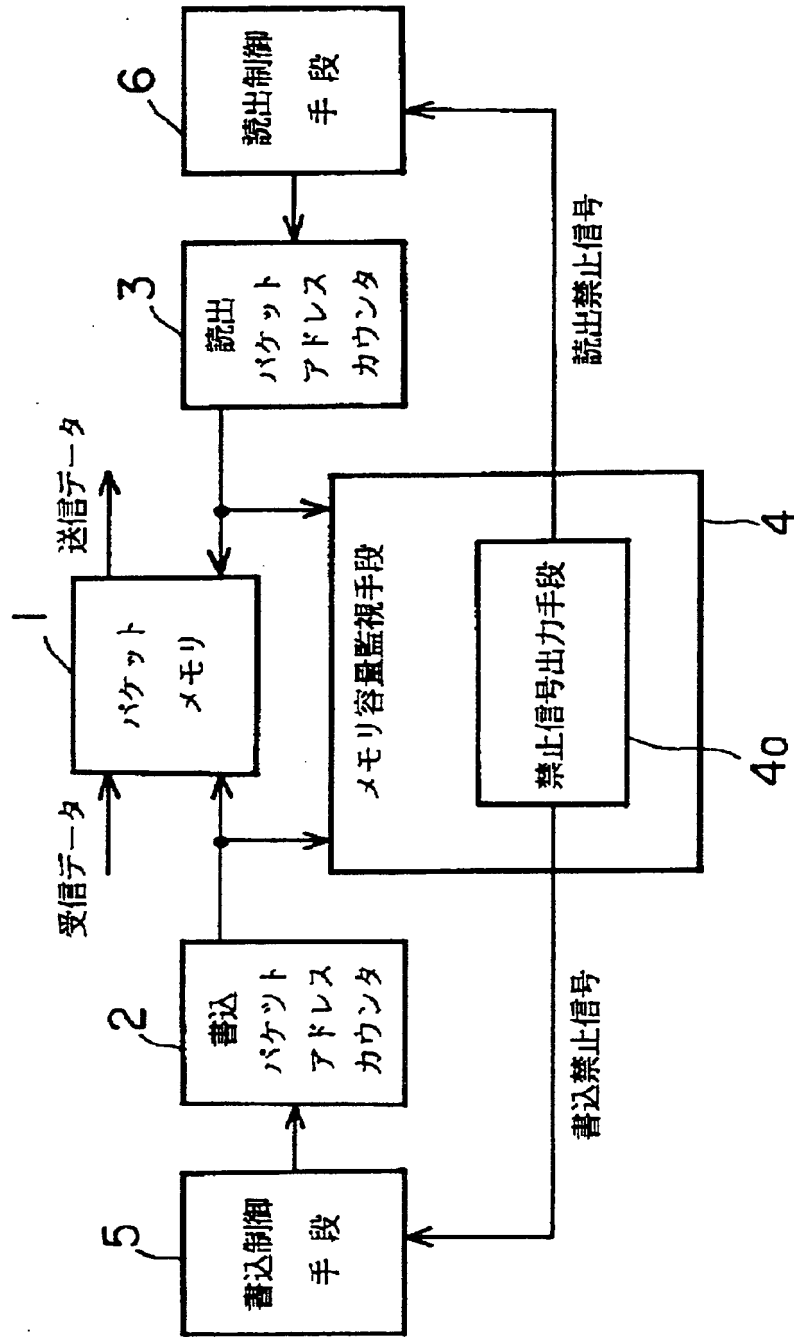
- 1 バケットメモリ
- 20 2 書込バケットアドレスカウンタ
- 3 読出バケットアドレスカウンタ
- 4 メモリ容量監視手段
- 4 a 禁止信号出力手段
- 5 書込制御手段
- 6 読出制御手段

【図 4】



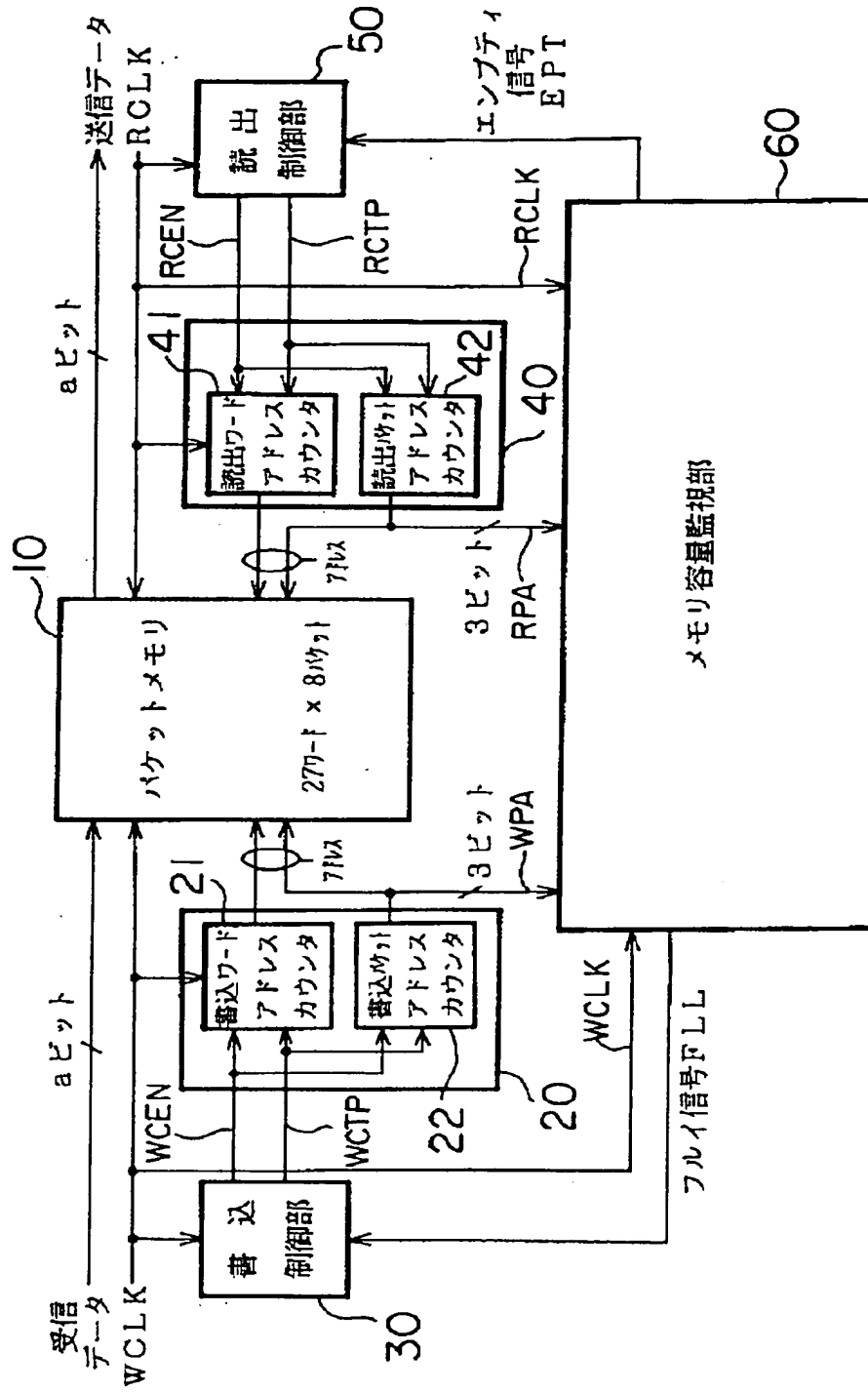
【 図 1 】

本 発 明 の 原 理 説 明 図



【 図 2 】

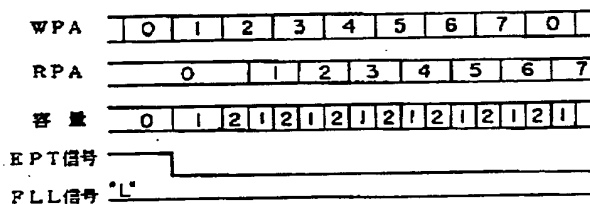
本発明のクロック乗換回路の構成図



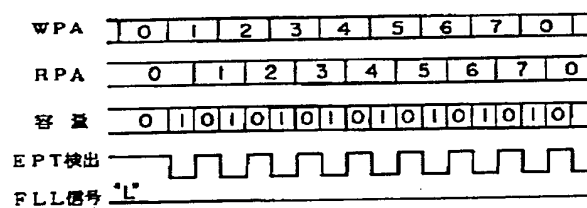
【図 3】

パケットアドレスとEPT信号、FLL信号の
関係を示す図

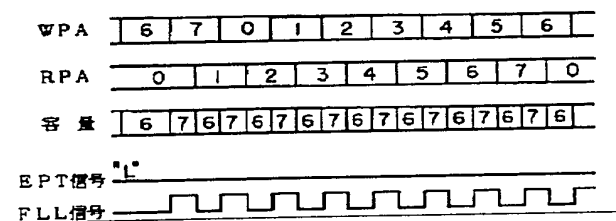
(A) 通常動作



(B) EPT検出



(C) FLL検出



【図 5】

第1回路例 各部の信号のタイミングチャート

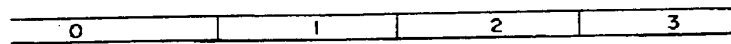
(A) WCLK



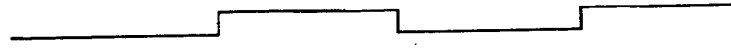
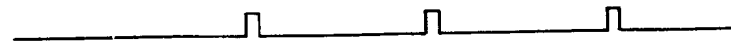
(B) WPA



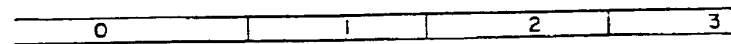
(C) RPA



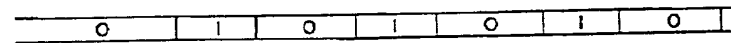
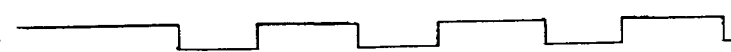
(D) RPAo

(E) イネーブル
信号

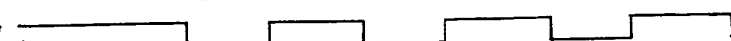
(F) ラッチ出力



(G) SUB出力

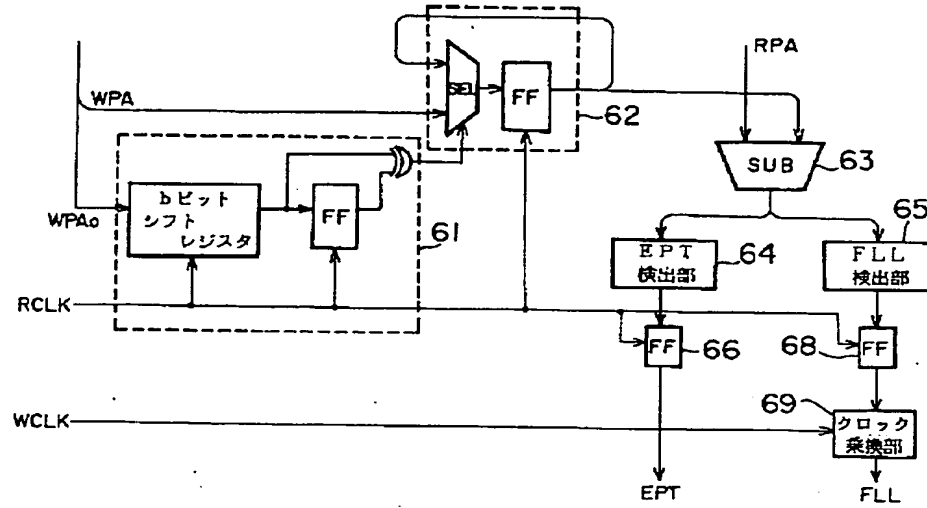
(H) クロック
乗換前の
EPT信号

(I) EPT信号



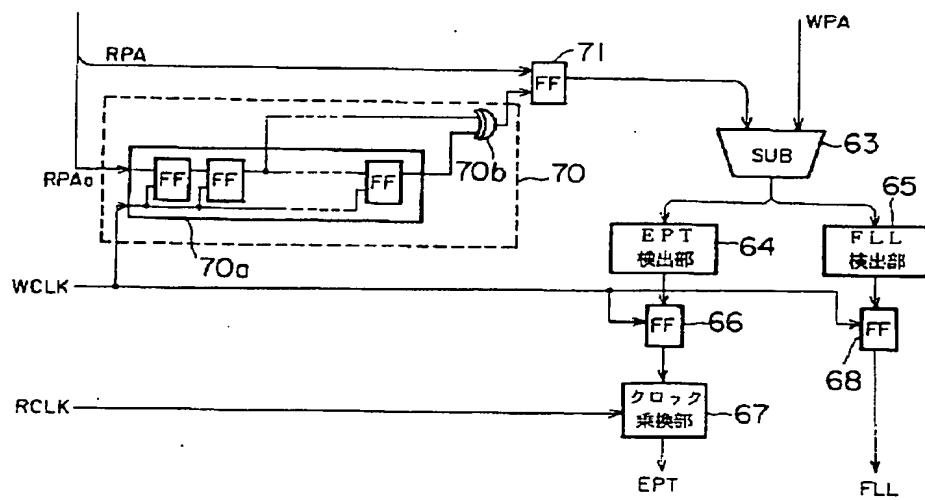
【 図 6 】

メモリ容量監視部の第2回路例



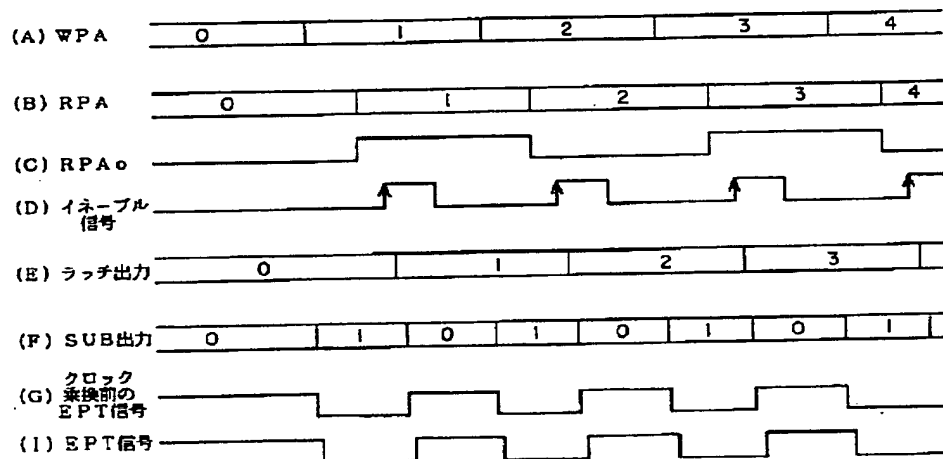
【 図 7 】

メモリ容量監視部の第3回路例



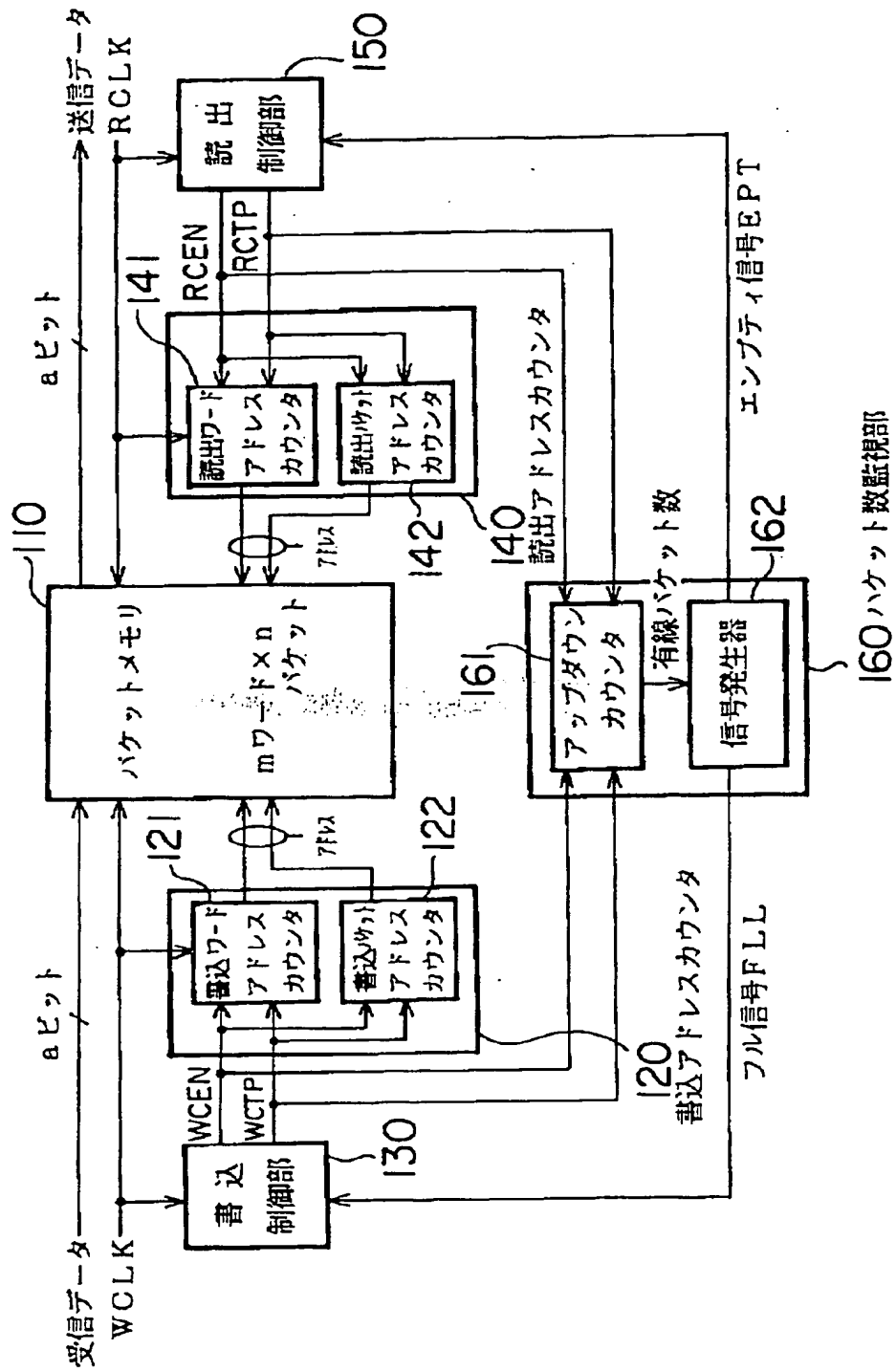
【図 8】

第 3 判回路各部の信号のタイミングチャート



〔 図 9 〕

従来のクロック乗換回路の構成図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04639

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L 13/08
G06F 13/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L 13/08, H04L 12/40, H04L 29/00
G06F 13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1, Y2) 1926-1996 Toroku Jitsuyo Shinan Koho (U) 1994-2000
Kokai Jitsuyo Shinan Koho (U) 1971-2000 Jitsuyo Shinan Toroku Koho (Y2) 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-222440, A (Fujitsu Limited), 21 August, 1998 (21.08.98),	1, 2, 9
Y	Figs. 5, 6 (Family: none)	3
A		4-8, 10-22
Y	JP, 06-069913, A (Fujitsu Limited), 11 March, 1994 (11.03.94), abstract (Family: none)	3
A	JP, 11-017773, A (Sony Corporation), 22 January, 1999 (22.01.99), Par. No. [0033] (Transaction Label (t1)) (Family: none)	1-22
T	JP, 2000-134229, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 12, 13, 16 & WO, 00/25215, A1	1-22
T	JP, 2000-134230, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 12, 14 & WO, 00/25217, A1	1-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not

considered to be of particular relevance

"E" earlier document but published on or after the international filing

date

"L" document which may throw doubts on priority claim(s) or which is

cited to establish the publication date of another citation or other

special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other

means

"P" document published prior to the international filing date but later

than the priority date claimed

"T" later document published after the international filing date or

priority date and not in conflict with the application but cited to

understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be

considered novel or cannot be considered to involve an inventive

step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be

considered to involve an inventive step when the document is

combined with one or more other such documents, such

combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 October, 2000 (13.10.00)

Date of mailing of the international search report
24 October, 2000 (24.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
T	JP, 2000-134232, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), abstract & WO, 00/25216, A1	1-22
T	JP, 2000-134231, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00) (Family: none)	1-22
T	JP, 2000-134233, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 13 to 20 (Family: none)	1-22
T	JP, 2000-134242, A (Seiko Epson Corporation), 12 May, 2000 (12.05.00), Figs. 13 to 18, 21, 22 (Family: none)	1-22